

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年8月11日 (11.08.2005)

PCT

(10) 国際公開番号
WO 2005/074110 A1

(51) 国際特許分類⁷: H02M 3/155, H01L 21/822, 21/8234, 27/04, 27/088, H03K 17/687

(21) 国際出願番号: PCT/JP2005/000329

(22) 国際出願日: 2005年1月14日 (14.01.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-020517 2004年1月28日 (28.01.2004) JP

(71) 出願人(米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).

(72) 発明者; および

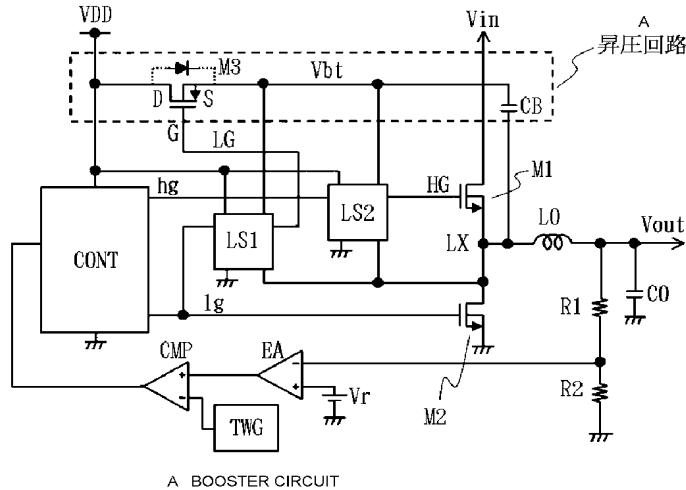
(75) 発明者/出願人(米国についてのみ): 細川 恭一 (HOSOKAWA, Kyoichi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 工藤 良太郎 (KUDO, Ryotaro) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 長澤 俊夫 (NAGASAWA, Toshio) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 立野 孝治 (TATENO, Koji) [JP/JP]; 〒3191292 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内 Ibaraki (JP).

(74) 代理人: 德若光政 (TOKUWAKA, Kousei); 〒1810001 東京都三鷹市井の頭5丁目16番8号 Tokyo (JP).

/ 続葉有 /

(54) Title: SWITCHING POWER SUPPLY AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: スイッチング電源と半導体集積回路



(57) Abstract: [PROBLEMS] A switching power supply and a semiconductor integrated circuit, wherein even when a power supply voltage (VDD) is low, a sufficient drive voltage can be obtained for a switch element (M1) on a higher potential side. [MEANS FOR SOLVING PROBLEMS] A switching power supply wherein the current to be caused to flow through an inductor via switch elements that operate in accordance with a PWM signal is controlled, and a capacitor provided in series with the inductor is used to form an output voltage. In the switching power supply, a booster circuit, which comprises a bootstrap capacitor and a MOSFET, is provided between an output node of the switch elements and a predetermined voltage terminal. The boosted voltage of the booster circuit is used as an operation voltage of the driver circuit for the switch elements. The source-drain region of one of the switch elements is connected to the base gate of the other switch element such that when the MOSFET is placed in off state, the junction diode between the source-drain region and the base gate of the other switch element is in the reverse direction for the boosted voltage formed by the bootstrap capacitance.

(57) 要約: 【課題】 電源電圧 VDD が低い場合においても、高電位側スイッチ素子 M1 の十分な駆動電圧を得ることを実現したスイッチング電源と半導体集積回路を提供する。【解決手段】 PWM 信号に従ってスイッ

/ 続葉有 /

WO 2005/074110 A1



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

チ動作を行うスイッチ素子を通してインダクタに流す電流を制御し、上記インダクタに直列形態に設けられたキャパシタにより出力電圧を形成するスイッチング電源において、上記スイッチ素子の出力ノードと所定電圧端子間にブートストラップ容量とMOSFETとからなる昇圧回路を設け、その昇圧電圧を上記スイッチ素子の駆動回路の動作電圧とし、上記MOSFETがオフ状態にされるとき、一方のソース、ドレイン領域と基板ゲート間の接合ダイオードが上記ブートストラップ容量により形成された昇圧電圧に対して逆方向になるように他方のソース、ドレイン領域と上記基板ゲートとを接続する。

明 細 書

スイッチング電源と半導体集積回路

技術分野

[0001] この発明は、スイッチング電源と半導体集積回路に関し、例えば、高電圧を低電圧に変換するスイッチング電源とそれに用いられるもの半導体集積回路に適用して有効な技術に関するものである。

背景技術

[0002] スイッチング電源では、低価格・小型・高効率・低電圧・大電流が求められる。そのため、スイッチ素子には安価で低オン抵抗(低Ron)・低Qgd(低ゲートチャージ電荷量)のNチャネル型のパワーMOSFET(以下、NMOSと略す)が使用される場合が多い。図12に、本願発明に先立って検討された降圧型スイッチング電源の構成図を示す。高電位側スイッチ素子M1にNMOSを用いるには、図中の「ブートストラップ」と呼ばれる昇圧回路と、レベルシフト回路が必要である。図13の昇圧回路では、電源電圧VDDよりダイオードD4の順方向電圧Vf 分低い電圧(VDD-Vf)が、高電位側スイッチ素子M1の駆動用に供給される。つまり、スイッチ素子M1のソース(中点LX)に対して、ブートストラップ容量CBに蓄えられた電圧(VDD-Vf)だけ高い電圧がスイッチ素子M1のゲートに供給される。上記電圧(VDD-Vf)を大きくするために上記ダイオードD4として順方向電圧Vfの低いショットキーバリア・ダイオードを使う。

[0003] 図14に、図13に示した降圧型スイッチング電源の各部動作波形図を示す。降圧型スイッチング電源では、高電位側スイッチ素子M1と低電位側スイッチ素子M2の中点LXは、スイッチング毎に入力電圧Vinと接地電位VSSに変化する。昇圧回路は、中点LXの電位が接地電位VSSの期間にブートストラップ容量CBを電源電圧VDDからダイオードD4を介して充電する。したがって、ブートストラップ容量CBの両端電圧は、電源電圧VDDからダイオードD4の順方向電圧Vf 分下がった電圧(VDD-Vf)となる。中点LXの電位が入力電圧Vinの時は、ダイオードD4が電源電圧VDDへの逆流を防止し、ブートストラップ容量CBから高電位側スイッチ素子M1の駆動回路に給電する。高電位側スイッチ素子M1の駆動電圧Vgsは(VDD-Vf)となる。

[0004] 一方、制御回路を含む周辺回路の電源電圧VDDは低電圧化の傾向にある。そのため、ダイオードD4の順方向電圧Vfの低下分が無視できなくなり、高電位側スイッチ素子M1の十分な駆動電圧を得られない可能性がでてきた。駆動電圧が不足すると、スイッチ素子本来の性能を引き出せず損失の増加等を招くことになる。そこで、ブートストラップ回路をジャンクション型FET(以下、JFETと略す。)を用いて構成しICに内蔵するスイッチング電源の例として、特表平11-501500号がある。このスイッチング電源では、ブートストラップ用コンデンサにはJFETを介して充電する。

特許文献1:特表平11-501500号

発明の開示

発明が解決しようとする課題

[0005] しかしながら、JFETにおいてはオフ状態でのリーク電流が無視できなく、十分な昇圧電圧を確保するために逆流防止用のダイオードを直列接続して用いている。つまり、実用的な回路を構成するために、上記特許文献1のスイッチング電源においては、逆流防止ダイオードの接続が必要であると考えられ、結果として前記図13の回路と同じような問題を有するものとなる。

[0006] 本発明の目的は、電源電圧VDDが低い場合においても、高電位側スイッチ素子M1の十分な駆動電圧を得ることを実現したスイッチング電源とそれに用いられる半導体集積回

路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0007] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、PWM(パルス幅変調)信号に従ってスイッチ動作を行うスイッチ素子を通してインダクタに流す電流を制御し、上記インダクタに直列形態に設けられたキャパシタにより出力電圧を形成するスイッチング電源において、上記スイッチ素子の出力ノードと所定電圧端子間にブートストラップ容量とMOSFETとからなる昇圧回路を設け、その昇圧電圧を上記スイッチ素子の駆動回路の動作電圧とし、上記MOSFETがオフ状態にされるとき、一方のソース、ドレイン領域と基板ゲート

間の接合ダイオードが上記ブートストラップ容量により形成された昇圧電圧に対して逆方向になるように他方のソース、ドレイン領域と上記基板ゲートとを接続する。

発明の効果

[0008] 電源電圧VDDが低い場合においても、高電位側スイッチ素子の十分な駆動電圧を得ることができる。

発明を実施するための最良の形態

[0009] 図1には、この発明に係るスイッチング電源の一実施例の概略回路図が示されている。この実施例は、入力電圧Vinを降圧した出力電圧Voutを形成する、いわゆる降圧型スイッチング電源に向けられている。特に制限されないが、入力電圧Vinは、約12Vのような比較的高い電圧とされ、出力電圧Voutは約3V程度の低い電圧とされる。

[0010] 上記入力電圧Vinは、高電位側スイッチ素子M1を介してインダクタLOの一端から電流の供給を行う。インダクタLOの他端と回路の接地電位VSSとの間にはキャパシタCOが設けられ、かかるキャパシタCOにより平滑された出力電圧Voutが形成される。上記インダクタLOの一端と回路の接地電位VSSとの間には、上記スイッチ素子M1がオフ状態のときに中点LXを回路の接地電位にすることにより上記インダクタLOに発生する逆起電圧をクランプするスイッチ素子M2が設けられる。上記スイッチ素子M1とM2は、Nチャネル型のパワーMOSFETにより構成される。上記スイッチ素子M1とM2の接続点は、いわゆるインバーティッドプッシュプル出力回路の中点LXとされ、上記インダクタLOと一端に接続される。

[0011] 上記出力電圧Voutが約3Vのような設定された電位に制御するために、次のPWM制御回路が設けられる。一例として上記出力電圧Voutは、抵抗R1とR2からなる分圧回路により分圧されて、エラーアンプEAの一方の入力(−)に供給される。このエラーアンプEAの他方の入力(+)には、基準電圧Vrが供給される。上記分圧電圧と上記基準電圧Vrとの差電圧が電圧比較回路CMPの一方の入力(−)に供給される。上記電圧比較回路CMPの他方の入力(+)には、三角波発生回路TWGで形成された三角波が供給される。電圧比較回路CMPの出力信号は、制御回路CONTに供給されて、上記分圧電圧と上記基準電圧Vrとが一致させるようなPWM信号を形

成する。尚PWM信号でなくても、PFM(パルス振幅変調)信号、PDM(パルス密度変調)信号等パワーMOSFETのスイッチングを制御して出力電圧Voutを制御するものであれば特に制限されない。

[0012] 制御回路CONTは、上記PWM信号に対応した高電圧側制御信号hgと、低電位側制御信号lgを形成する。この実施例では、低オン抵抗・低QgdのNチャネル型のパワーMOSFETを上記スイッチ素子M1として用ており、ソースフォロワ出力回路として動作させる。そのため、上記中点LXの電位を上記入力電圧Vinに対応した高電圧まで得るよう

うにするために、言い換えるならば、MOSFETM1のしきい値電圧分だけ中点LXの電位が低下して損失が生じてしまうのを防ぐために、昇圧回路が設けられる。つまり、昇圧回路は、上記MOSFETM1がオン状態のときのゲート電圧を上記入力電圧Vinに対してそのしきい値電圧分以上の高電圧にするという動作を行う。

[0013] 上記中点LXは、ブートストラップ容量CBの一端に接続される。このブートストラップ容量CBの他端は、Pチャネル型のスイッチMOSFETM3のソース、ドレイン経路を介して電源電圧VDDに接続される。上記電源電圧VDDは、約5Vのような低い電圧であり、上記制御回路CONTを含みPWM制御回路を構成するエラーアンプEA、電圧比較回路CMP及び三角波発生回路TWGの動作電圧であり、後述するレベルシフト回路LS1, LS2の低電圧側回路の動作電圧としても用いられる。

[0014] 上記PWM信号に対応した高電圧側制御信号hgは、レベルシフト回路LS2を介してレベルシフトされて上記高電圧側のスイッチ素子M1の駆動信号HGとされる。レベルシフト回路LS2は、上記電源電圧VDDと上記ブートストラップ容量CBで形成された昇圧電圧Vbtを動作電圧としており、上記電源電圧VDDと接地電位(本例は約5V)振幅の高電圧側制御信号hgを、昇圧電圧Vbtと上記中点LX振幅の信号にレベルシフトしてスイッチ素子M1をオン状態にさせる時のゲート電圧を昇圧電圧Vbtのように高くする。

[0015] 上記PWM信号に対応した低電圧側制御信号lgは、バッファ等をして、基本的にそのまま低電位側のスイッチ素子M2のゲートに供給される。レベルシフト回路LS1は、

かかる低電圧側制御信号lgをレベルシフトして、上記Pチャネル型MOSFETM3のゲートに供給される制御信号LGを形成する。つまり、スイッチ素子M2の低電圧側制御信号lgをレベルシフト回路により反転させ、スイッチM2をオフ状態にさせるときに、昇圧電圧Vbtに対応した制御信号LGを形成してPチャネル型のMOSFETM3のゲートに伝えて、かかるMOSFETM3をオフ状態にする。

[0016] 本発明の昇圧回路は、前記図12のダイオードD4に替えて、スイッチ素子であるPチャネル型パワースMOSFET(以下、PMOSと略す)M3を使用することに特徴がある。この時、PMOSM3はドレイン端子Dを電源VDDに、ソース端子Sをブートストラップ容量CB側に接続する。MOSFETのソースとドレインは、電圧の印加の方向によって逆転するものであるので、同図に示した上記ドレイン端子D及びソース端子Sは便宜的なものであり、ブートストラップ容量CBにより電源電圧VDDよりも高い昇圧電圧Vbtが形成されている状態でのドレイン及びソースを意味している。PMOSM3の基板ゲート(バックゲート、チャネル領域あるいはN型ウェル領域)は、上記ソース端子S側、言い換えるならば、ブートストラップ容量CB側に接続されている。

[0017] 図2は、図1のスイッチング電源における駆動回路の動作を説明する波形図が示されている。基本的には、PWM信号に対応した制御信号hgとlgによりスイッチ素子M2がオンしている間(すなわち、スイッチ素子M1がオフしている間)、スイッチ素子M3をオンにしてブートストラップ容量CBを電源電圧VDDに充電する。同図では、この充電電圧をVDD-V3(on)のように表している。V3(on)は、MOSFETM3のソース-ドレイン経路での充電動作時の電圧損失であり、実質的にはゼロとみなすことができる。

[0018] この時のPMOSM3の動作は、一般に逆方向特性と呼ばれるものである。つまり、PMOSM3のゲートには、レベルシフト回路LS1から接地電位のようなロウレベルの制御信号LGが供給されており、電源電圧VDD側(ドレイン端子D)がソース領域として動作してオン状態となり、ブートストラップ容量CBへの充電を開始する。もっとも、基板ゲートと上記ソースとして動作するドレイン端子DとのPN接合によって構成される寄生ダイオードによっても充電経路が形成されているので、このときにドレイン領域として動作するソース端子S側の電位VbtがVDD-Vf (Vfは寄生ダイオードの順方向

電圧)よりも低いときには、かかる寄生ダイオードを通して充電電流が流れる。

[0019] PWM信号に対応した制御信号hgとlgによりスイッチ素子M1がオンしている間(すなわち、スイッチ素子M2がオフしている間)、スイッチ素子M1のオンにより中点LXの電位が上記ロウレベルから上昇する。これに対応してブートストラップ容量CBの昇圧電圧Vbtは、上記充電電圧VDD分だけ高い電圧として上昇する。つまり、スイッチ素子M1のゲートとソース間(HG-LX)には、上記レベルシフト回路LS2を介して上記ブートストラップ容量CBの保持電圧VDD(VDD-V3(on))が印加されており、ソース側から得られる中点LXの電位は、入力電圧Vinに対応した高電圧まで上昇するものとなる。ここで、VDDは約5Vであり、スイッチ素子M1のしきい値電圧は約1V程度であり、VDD>Vthの関係にある。

[0020] 上記昇圧電圧Vbtの上昇により、MOSFETM3の一対のソース、ドレインには、前記充電動作のときは一対のソース、ドレイン領域に対して逆向に電圧が印加されて、図1に示したように昇圧電圧Vbt側がソース端子Sとして動作し、電源電圧VDD側がドレイン端子Dとして動作する。したがって、ゲートGに供給される制御信号LGが電源電圧VDDのようなハイレベルであると、そのしきい値電圧Vth以上にソース端子Sの電位が上昇すると、再度オン状態となって昇圧電圧Vbtを形成しているブートストラップ容量CBの電荷を電源電圧VDD側に抜いてしまう。レベルシフト回路LS1は、上記制御信号LGのハイレベルを上記昇圧電圧Vbtに対応した高電圧にし、ゲートGとソース端子Sを同電位(Vth以下)としてオフ状態を維持させる。そして、前記寄生ダイオードには、逆方向に電圧が印加されて上記ブートストラップ容量CBの電荷を放電させるような電流を流さない。

[0021] 上記スイッチ素子M1をオン状態にさせる1回の充電動作で消費するブートストラップ容量CBの電荷は、 $C_g \times V_{gs}$ で概算できる。ここで、 C_g はスイッチ素子M1のゲート入力容量であり、 V_{gs} はゲート、ソース間の駆動電圧である。上記電荷にスイッチング周波数を掛けることで、平均充電電流が求められる。一例として、 $C_g = 3000\text{pF}$ 、 $V_{gs} = 5\text{V}$ 、スイッチング周波数1MHzで計算すると、充電電流は15mAとなる。また、一般にMOSFETM3のオン抵抗は数十mΩであり、充電時の電圧降下V3(on)は小さくゼロと見做してよい。したがって、従来のダイオードD4の順方向電圧Vfによ

る電圧降下に比べ非常に小さく抑えられるものである。

[0022] 前記のようにスイッチ素子M2がオフしている間(スイッチ素子M1がオン)は、PチャネルMOSFETM3をオフにする必要がある。このPチャネルMOSFETM3をオフにするため、レベルシフト回路LS1は、上記昇圧電圧Vbtを動作電圧としてPチャネルMOSFETM3のゲート端子Gに与えられる制御信号LGのレベルをソース端子Sの昇圧電圧Vbtと同じ電圧にレベルシフトする。そして、MOSFETM3のドレイン端子Dと基板ゲート間の寄生のダイオード(ボディダイオードと呼ばれる)が存在する。この寄生のダイオードによって、上記MOSFETM3が上記オフ状態にされるとともに、昇圧電位Vbtからの電源電圧VDDに向けての逆流が防止される。したがって、前記特許文献1において、JFETを用いたように逆流防止用のダイオードを新たに設ける必要がない。

[0023] スイッチ素子M1、M2、M3のオン、オフ状態への移行時間には素子バラツキ等があるため、貫通電流防止のためにスイッチ素子M1とM2の切り替えにはデッドタイムが設けられる。同様に、スイッチ素子M1が完全にオフする前にスイッチ素子M3がオンする
と、昇圧電位側から電源VDDに逆流が起きるで同様のデットタイムが設けられる。このデットタイムは、特に制限されないが、上記PWM信号に対応した信号lg及びhgを形成する制御回路CONTにより設定される。以上により、本発明は電源電圧VDDの低電圧化に際しても、十分なスイッチ素子M1の駆動電圧を得ることができる昇圧回路を提供できる。

[0024] 図3には、図1のPチャネルMOSFETM3の一実施例の概略素子断面図が示されている。図3(A)には、一般的なPチャネルMOSFETの例が示され、図3(B)には高耐圧MOSFETの例が示されている。前記図2の各部信号波形より、昇圧電圧Vbtは電源電圧VDD+入力電圧Vinに達することがわかる。そのためPチャネルMOSFETM3として、図3(B)に示したような高耐圧のLDMOS (Laterally Diffused MOS) を用いることが安全である。

[0025] 図3(A)の一般的なPチャネル型MOSFETにおいては、P型基板PSUB上にN型ウェル領域NWELを形成し、そこにP+型の一対のソース、ドレイン領域が形成され

る。かかる一対のソース、ドレイン領域間のウェル領域(チャネル又は基板ゲート)上には、薄い膜厚からなるゲート絶縁膜が形成される。上記ゲート絶縁膜上には、上記一対のソース、ドレイン領域を跨ぐようにゲート電極が形成される。そして、上記昇圧回路を構成するスイッチ素子M3として用いるときには、上記ウェル領域NWELと前記図1のソース端子S側とされるP+領域が接続される。前記図1のドレイン端子DとされるP+領域と基板ゲート(NWEL)との間には図示のような寄生ダイオードが存在する。

[0026] 図3(B)の高耐圧MOSFETにおいては、P型基板PSUB(P-)上に前記ドレイン端子DとされるP+領域が形成される。前記ソース端子Sに対応した半導体領域は、N型ウェル領域NWELに上記ドレイン端子DとされるP+領域に対向してP+領域が形成され、かかるN型ウェル領域NWELにへのオーミックコンタクトを得るためのN+領域が形成される。そして、上記P+領域及びN+領域に電極が設けられることによって、N型ウェル領域NWELとの接続が行われる。この高耐圧MOSFETは、ドレイン領域は、上記P+領域及びP-の基板が実効的なドレイン領域として動作し、N型ウェル領域NWELに形成されたP+領域間のウェル領域(チャネル又は基板ゲート)が実効的な基板ゲート(チャネル領域)とされる。

[0027] 上記一対のP+領域間のNウェル領域NWEL及び基板PSUB上には、薄い膜厚からなるゲート絶縁膜が形成される。上記ゲート絶縁膜上には、上記一対のP+領域を跨ぐようにゲート電極が形成される。そして、上記昇圧回路を構成するスイッチ素子M3として用いるときには、上記ウェル領域NWELと前記図1のソース端子S側とされるP+領域が接続される。前記図1のドレイン領域の一部とされる基板PSUBと基板ゲート(NWEL)との間には図示のような寄生ダイオードが存在する。このようなLDMOSにおいては、ソース領域とドレイン領域の構造が非対称であり、そのことを表すために図示のようにソース、ドレインのように表している。

[0028] 図3(A)、(B)の概略素子断面構造図に示すようにソースと基板ゲート(ウェル領域)を接続して用いるため、図3(A)の一般的なPチャネルMOSFET、図3(B)のLDMOS共に、ドレイン、ソース間には寄生のダイオードが存在する。したがって、本発明におけるスイッチ素子M3にPチャネルMOSFET及びLDMOSを用いても何ら問

題ない。又、図3(B)のようなLDMOSをブーストランプ容量CBに電荷を充電するときに図3(B)におけるドレインからソースに電流を流す事になるが、この動作はリニア領域(低電流)での動作となり、スイッチ素子M3の性能が大幅に低下するようなことはない。

[0029] この実施例のスイッチング電源においては、電源電圧VDDの低電圧化に際しても、高電位側スイッチ素子の十分な駆動電圧を得られる。高電位側のスイッチ素子にNチャネルパワーMOSFETが使用可能となり、低価格、小型のスイッチング電源を構成できる。また、後述するようにICに内蔵しやすいという利点がある。内蔵することにより、外付け部品点数を低減でき、電源の小型化、低コスト化に寄与できる。

[0030] 本発明の昇圧回路は、PチャネルMOSFETM3をオンさせてブーストランプ容量CBに充電し、昇圧電位側からの逆流防止は、MOSFETのゲート電圧を昇圧電圧に対応してレベルシフトすることによりオフ状態にし、かつ、ボディダイオードを活用する。したがって、前記特許文献1のスイッチング電源のように逆流防止用のダイオードを省くことができる。また、一般にMOSのオン抵抗は数十mΩと小さいため、ダイオードの順方向電圧Vfに比べ、充電時の電圧低下を抑えることができる。十分な充電時間が設定できるなら、ブーストランプ容量CBをVDDまで高くすることができる。

[0031] 以上により、電源電圧VDDが低い場合も、高電位側スイッチ素子M1の十分な駆動電圧を得られる。これにより、高電位側スイッチ素子に低価格、小型、低Ron、低Q_{gd}のNチャネルパワーMOSFETを採用できるため、低価格、小型のスイッチング電源を構成できる。また、ショットキーバリア・ダイオードに比べMOSFETの方がチップ面積が小さいため、ICに内蔵しやすい。これにより、外付けのダイオードを省くことができ、電源の小型化、コスト低減に適する。

[0032] 図4には、この発明に係るスイッチング電源の一実施例の構成図が示されている。この実施例のスイッチング電源は、太線枠で囲まれた部分が半導体集積回路(IC)で構成される。つまり、高電位側スイッチ素子M1と、低電位側スイッチ素子M2は外付けの単体素子で構成される。また、インダクタLO、ブーストランプ容量CB及びキヤパシタCOと、前記分圧回路を構成する抵抗R1とR2も単体素子で構成される。この実施例では、昇圧回路を構成するスイッチ素子M3は半導体集積回路に内蔵して

形成される。つまり、半導体集積回路には、上記MOSFETM3の他に、エラーアンプEA、電圧比較回路CMP、三角波発生回路TWGと制御回路CONT、レベルシフト回路LS1, LS2等が形成される。図示しないが、MOSFETM1, M2を駆動する駆動回路も含まれる。この実施例では、制御部分を半導体集積回路化し、ブーストアップ用スイッチ素子M3を内蔵することで、電源の部品数低減、小型化を実現できる。

[0033] 図5には、この発明に係るスイッチング電源の他の一実施例の構成図が示されている。同図においても、前記同様に太線枠で囲まれた部分が半導体集積回路(IC)で構成される。この実施例では、スイッチ素子M1、M2も半導体集積回路に内蔵することで、外付け部品点数をさらに削減でき、電源の小型化、低コスト化に適する。

[0034] 図6には、この発明に係るスイッチング電源の更に他の一実施例の構成図が示されている。同図においても、前記同様に太線枠で囲まれた部分が半導体集積回路(IC)で構成される。この実施例では、制御用ICとドライバ用ICの2つの半導体集積回路が用いられる。制御ICには、PWM制御部であるエラーアンプEA、電圧比較回路CMP、三角波発生回路TWGと制御回路CONTが搭載されてPWM信号を出力する。ドライバICには、スイッチ素子M1、M2と、レベルシフト回路LS1、LS2及び昇圧回路を構成するMOSFETM3と、PWM信号を受けて低電位側の制御信号LG'を形成するインバータ回路INV1が設けられる。この実施例では、レベルシフト回路LS1は、上記PWM信号を受けて、上記スイッチMOSFETM3の制御信号LGを形成する。

[0035] 図7には、この発明に係るスイッチング電源の他の一実施例の概略回路図が示され

ている。この実施例は、前記図1の実施例の変形例であり、低電圧側のスイッチMOSFET

M2に代えて、ダイオードD1が用いられる。このようにダイオードD1を用いた場合には、オン状態での順方向電圧Vfだけ電圧損失が発生する反面、そのアノードとカソードの電位関係でオン／オフが自動的に行われるために、前記のような制御信号lgが不要となる。いわゆる降圧型スイッチング電源では、上記制御信号lg, hgは図2に示すように相補的な関係にある。この実施例における昇圧回路のMOSFETM3の制御信号LGは、MOSFETM1の制御信号hgを元に生成すれば良い。この実施例

においても、前記図4、図5及び図6のような構成とすることができます。

[0036] 図8には、この発明に係るスイッチング電源の更に他の一実施例の構成図が示されている。同図においても、前記図6の実施例と制御用ICとドライバ用ICの2つの半導体集積回路が用いられる。制御ICとドライバICには、例えば共通の動作電圧VCCが与えられる。この電圧VCCは、前記VDDのような低電圧であってもよいし、入力電圧Vinに対応した高電圧であってもよい。このため、ドライバICには、降圧電源回路Regが設けられて、前記VDDに対応した内部電圧が形成される。これに対して、制御ICは、上記電源電圧VCCに対応したPWM信号を形成する。このため、上記ドライバICには、上記PWM信号を受ける電圧クランプ回路VCLが設けられる。他の構成は、前記図6の実施例と同様であるので、その説明を省略する。

[0037] この実施例では、ドライバICは特別な電源VDDが不要となり、入力電圧Vinを電源電圧VCCとして用いることができる。かかる高電圧を内部で降圧して低電圧として用いているので、内部ドライバ回路での消費電力を小さくすることができる。この場合には、PWM制御ICとドライバICとで動作電圧が異なるものとなる。つまり、制御ICは12V、ドライバICは内部5Vで動作するために、PWM信号の入力回路(VCL)で何らかの電圧クランプ手段が設けられるものである。

[0038] 図9には、前記図8の電圧クランプ回路VCLの一実施例の回路図が示されている。同図の電圧クランプ回路VCLは、ドライバICの外部端子から供給される高い信号振幅VCCの入力信号(PWM)のレベルを、ドライバICのインバータ回路INV1やレベルシフト回路LS1, LS2の低電圧側の動作電圧VDDレベルに対応したレベルにクランプする。

[0039] 入力端子PWMは、静電破壊防止回路としてのダイオードD2とD3が設けられる。特に制限されないが、この実施例のドライバICは、高い電圧VCCと、電源回路Regで形成された低い内部電圧VDDの2つの動作電圧を有する。上記ダイオードD2は、上記入力端子PWMと電源端子VCCとの間に設けられ、上記ダイオードD3は、上記入力端子PWMと回路の接地電位VSSとの間に設けられる。特に制限されないが、上記電源電圧VCCは、約12Vのような高い電圧であり、上記内部電圧VDDは約5Vのような低い電圧である。

[0040] 上記入力端子PWMは、電圧クランプ回路を構成するNチャネルMOSFETM4の一方のソース、ドレイン経路に接続される。このMOSFETM4のゲートには、制限すべき電圧として内部電圧VDDが供給される。上記MOSFETM4のソース、ドレイン経路の他方から上記内部電圧VDDによりクランプされた出力電圧が得られ、入力回路IBの入力端子に伝えられる。この実施例では、上記MOSFETM4による電圧クランプ動作を安定的に行うようにするために、上記ソース、ドレイン経路の他方と回路の接地電位との間に電流源Ioが設けられる。また、上記電流源Ioに対して並列形態にキャパシタCiが設けられる。

[0041] この実施例では、入力端子PWMに、同図に波形として示されているようにVCC—0V(12V—0V)のような大きな信号振幅の入力信号が供給され、上記MOSFETM4のソース、ドレイン経路の他方からは、(VDD—Vth)—0Vのように電源VDDにより制限された小さな信号振幅に変換される。そして、入力回路IBを通した出力信号Voは、同図に波形として示されているようにVDD—0V(5V—0V)のようなCMOS振幅とされる。ここで、VthはMOSFETM4のしきい値電圧である。特に制限されないが、MOSFETM4は、電気的に基板から分離されたP型ウェル領域に形成され、かかるP型ウェル(チャネル領域)は、上記MOSFETM4の出力側であるソース、ドレイン経路の他方に接続されている。

[0042] 上記電圧クランプ回路において、MOSFETM4の出力側のノードVに、回路の絶縁不良等による高抵抗によるリーク電流経路が形成された場合、その電位が上昇してMOSFETM4がオフ状態のままとなって前記の電流源Ioが存在しないと電圧クランプ動作が不能に陥ってしまう。上記電流源Ioを設けることより上記出力ノード側の電位上昇が抑えられて安定的な電圧クランプ動作が行われる。このため、電流源Ioは、不良と見做されないリーク電流よりも大きな微小電流に設定すればよく、低消費電力化を図ることができる。

[0043] また、MOSFETM4のソース、ドレイン間には、寄生容量Cdsが存在する。この寄生容量Cdsによって、入力信号PWMがVCCのような高電圧に変化したときに、カッピングによって出力側を電源電圧VDD以上に変化させてしまうという問題が生じる。これを回避するために、電流源Ioに並列形態にキャパシタCiが設けられる。これに

よって、寄生容量CdsとキャパシタCiが直列形態に接続されて、その容量比の逆比に対応して入力電圧PWMを分圧して上記出力側ノードが電源電圧VDD以上にならないようにすることができる。

[0044] なお、入力回路IBには、入力回路を構成するMOSFETのゲート容量が存在するが、かかるゲート容量のみでは上記のようにカップリングによって出力側ノードが電源電圧VDD以上に変化してしまう。そのために、上記キャパシタCiは、入力回路IBの入力容量と比べても十分に大きなものとされる。本実施例では、上記入力信号PWMに対して上記電圧クランプ回路を適用したが、内部動作電圧より高い電圧レベルの入力信号に対して本回路は適用可能である。例としては、ドライバICの動作オン／オフ制御信号等があげられる。図8の入力信号PWMが入力される端子に図9のようなクランプ回路を適用することにより、PWM信号の高速な変化にも応答可能となり、ドライバICを正確に制御が可能となる。

[0045] 図10には、この発明に係るスイッチング電源に用いられるレベルシフト回路LS2の一実施例の回路図が示されている。この実施例のレベルシフト回路は、電源電圧VDで動作するCMOSインバータ回路INV2が入力回路として設けられる。このインバータ回路INV2の入力には、前記制御信号hgが供給される。このインバータ回路INV2の出力信号は、NチャネルMOSFETM5のゲートに供給される。このMOSFETM5のドレインと、昇圧電圧Vbtとの間には負荷抵抗R3が設けられる。特に制限されないが、MOSFETM5のソースと回路の接地電位との間には、抵抗R4が設けられる。上記MOSFETM5のドレイン出力は、昇圧電圧Vbtと中点LXの電位とで動作するCMOSインバータ回路INV3とINV4を通してレベル変換された駆動信号HGとして出力される。

[0046] 制御信号hgがロウレベル(VSS)のときには、インバータ回路INV2の出力信号がハイレベルとなり、MOSFETM5をオン状態にする。この時の回路の動作点は、以下のように求めることができる。図10において、MOSFETM5のゲート電圧Vi, ソース電圧Vs, ドレイン電圧Vo, ゲート-ソース電圧Vgsとし、抵抗R4を流れる電流をIs, 抵抗R3を流れる電流をIdとすると、以下のような関係が成り立つ。

$$Vs = Vi - Vgs = Is \times R4 \quad \cdots \cdots (1) \text{式}$$

$$I_S = I_D \quad \cdots \text{ (2) 式}$$

$$V_O = V_{bt} - I_D \times R_3 = V_{bt} - I_S \times R_3 \quad \cdots \text{ (3) 式}$$

(1)式で、 V_{gs} は上記MOSFETM5の特性で決まる値である。

上記式から、

$$V_O = V_{bt} - (V_i - V_{gs}) \times (R_3 / R_4) \quad \cdots \text{ (4)}$$

が導出できる。ここで、インバータ回路INV3の入力電圧、すなわち上記ドレイン電圧 V_O がその論理しきい値よりも低い電位となるように上記抵抗 R_3 , R_4 の値を設定する。これにより、インバータ回路INV3は昇圧電圧 V_{bt} に対応したハイレベルを出力し、インバータ回路INV4からは中点LXの電位に対応したロウレベルの駆動信号HGが形成される。

[0048] 制御信号hgがハイレベル(VDD)のときには、インバータ回路INV2の出力信号がロウレベルとなり、MOSFETM5をオフ状態にする。これにより、MOSFETM5のドレイン出力は、抵抗R3により昇圧電圧 V_{bt} のようなハイレベルが出力される。これにより、インバータ回路INV3の入力電圧は、その論理しきい値よりも高い電位となり、中点LXの電位に対応したロウレベルを出力し、インバータ回路INV4からは昇圧電圧 V_{bt} に対応したハイレベルの駆動信号HGが形成される。上記レベルシフト回路は、電源投入時等においても出力が確定し、従来方式のラッチタイプのレベルシフト回路のように不定状態にならないという特長を有する。

[0049] スイッチMOSFETM3のゲートに供給される制御信号LGを形成するレベルシフト回路LS1も、前記図10に括弧で示すように同様な回路により構成される。ただし、インバータ回路INV3、INV4の低電位側は回路の接地電位(VSS)とされる。制御信号(lg)の反転信号を制御信号(LG)として出力するときには、上記インバータ回路INV4が省略される。

[0050] 図11には、この発明に係るスイッチング電源の更に他の一実施例の概略回路図が示されている。この実施例は、前記図1の実施例の変形例であり、昇圧回路のスイッチ素子としてNチャネルMOSFETM3'が用いられる。このようにNチャネルMOSFETM3'を用いた場合には、ブートストラップ容量CBに電源電圧VDDまで充電するためにオン状態にするときにゲート電圧を電源電圧VDD以上にする必要がある。こ

のために、レベルシフト回路LS1は、昇圧電圧VCCにより動作させられる。このVCCは外部から供給されてもよいし、同様な昇圧回路で形成してもよい。このようにNチャネルMOSFETを用いた場合には、電源電圧VDD側のソース、ドレイン領域と基板ゲートとが接続されて、昇圧電圧側のソース、ドレイン領域と基板ゲートとの間の寄生ダイオードが逆流防止用として利用される。この昇圧電圧VCCを生成するための回路が必要となる為に、昇圧回路のスイッチ素子としてはPチャネルMOSFETの方が優れている。

[0051] 図12には、この発明に係るスイッチング電源の他の一実施例の構成図が示されている。この実施例は、前記図6の実施例の変形例であり、上記ドライバICは、前記図6に示すように1つの半導体基板上に形成された半導体集積回路で構成してもよいが、この実施例では前記MOSFETM1、M2、その他の回路それぞれに適したプロセスで、同図に一点鎖線で示した半導体チップ(半導体基板)Chip1, Chip2, Chip3上にそれぞれを作成し、それらをマルチチップモジュール構成で1つのパッケージに封止されてなる半導体集積回路装置とするものであってもよい。また、それぞれの半導体チップChip1, Chip2, Chip3を別個のパッケージに封止した3つの半導体集積回路装置で構成して実装基板上で相互に接続して回路を構成するものとしてもよい。

[0052] 以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、低電位側のスイッチ素子M2を高電圧で駆動する駆動回路を設けるものであってもよい。このときには、スイッチ素子M2の小さなオン抵抗値によってインダクタで発生する中点LXを接地電位にクランプすることができる、スイッチ素子の小型化又はいっそうの効率化を図ることができる。レベルシフト回路LS1、LS2の具体的回路は種々の実施形態を探ることができる。この発明は、スイッチング電源装置に広く利用できる。

図面の簡単な説明

[0053] [図1]この発明に係るスイッチング電源の一実施例を示す概略回路図である。

[図2]図1のスイッチング電源における駆動回路の動作を説明する波形図である。

[図3]図1のPチャネルMOSFETM3の一実施例を示す概略素子断面図である。

[図4]この発明に係るスイッチング電源の一実施例を示す構成図である。

[図5]この発明に係るスイッチング電源の他の一実施例を示す構成図である。

[図6]この発明に係るスイッチング電源の更に他の一実施例を示す構成図である。

[図7]この発明に係るスイッチング電源の他の一実施例を示す概略回路図である。

[図8]この発明に係るスイッチング電源の更に他の一実施例を示す構成図である。

[図9]図8の電圧クランプ回路VCLの一実施例を示す回路図である。

[図10]この発明に係るスイッチング電源に用いられるレベルシフト回路LS2の一実施例を示す回路図である。

[図11]この発明に係るスイッチング電源の更に他の一実施例を示す概略回路図である。

[図12]この発明に係るスイッチング電源の更に他の一実施例を示す構成図である。

[図13]本願発明に先立って検討された降圧型スイッチング電源の構成図である。

[図14]図13に示した降圧型スイッチング電源の各部動作波形図である。

符号の説明

[0054] D1～D4…ダイオード、M1～M3, M3’…MOSFET、Io…電流源、Ci…キャパシタ、CONT…制御回路、EA…エラーアンプ、CMP…電圧比較回路、TWG…三角波発生回路、IB…入力回路、CB…ブートストラップ容量、LO…インダクタ、CO…キャパシタ、R1～R4…抵抗、INV1～INV4…CMOSインバータ回路、Reg…電源回路、LS1, 2…レベルシフト回路。

請求の範囲

[1] インダクタと、
上記インダクタに直列形態に設けられて出力電圧を形成するキャパシタと、
入力電圧から上記インダクタに流す電流を制御するスイッチ素子と、
上記スイッチ素子がオフ状態のときに上記インダクタの上記出力電圧を形成してい
る端子とは別の他方の端子を所定電位にクランプする素子と、
上記スイッチ素子を駆動する駆動回路と、
上記スイッチ素子の出力ノードに一端が接続されたブートストラップ容量と、かかる
ブートストラップ容量の他端と外部電源端子との間にソース、ドレイン経路が接続され
たMOSFETとからなり、昇圧電圧を上記駆動回路の動作電圧とする昇圧回路と、
上記素子が導通状態のときにMOSFETをオン状態にさせ、上記素子が非導通状
態のときにMOSFETをオフ状態にさせるスイッチ制御信号を形成するレベルシフト
回路と、
PWM信号を形成して上記駆動回路を通して上記スイッチ素子の動作を制御するP
WM制御回路とを備え、
上記MOSFETは、上記PWM信号によってオフ状態にされるときに一方のソース
, ドレイン領域と基板ゲート間の接合ダイオードが上記ブートストラップ容量により形
成された昇圧電圧に対して逆方向になるように他方のソース、ドレイン領域と上記基
板ゲートとが接続されてなることを特徴とするスイッチング電源。

[2] 請求項1において、
上記入力電圧に対応した高電圧を受けて、それを降圧した内部電圧を形成する電
源回路を備え、
かかる電源回路で形成された内部電圧は、上記昇圧回路及びPWM制御回路に
与えられる動作電圧とされることを特徴とするスイッチング電源。

[3] 請求項1において、
上記スイッチ素子と上記素子は、NチャネルのMOSFETであり、
上記昇圧回路のMOSFETは、PチャネルMOSFETであり、その基板ゲートは上
記ブートストラップ容量側に接続されてなることを特徴とするスイッチング電源。

[4] 請求項1において、
上記スイッチ素子と上記素子及び上記昇圧回路のMOSFETは、NチャネルのMOSFETであり、
上記昇圧回路のMOSFETの基板ゲートは上記所定電位端子側に接続されてなることを特徴とするスイッチング電源。

[5] 請求項1において、
上記スイッチ素子は、NチャネルのMOSFETであり、
上記素子は、ダイオードであり、
上記昇圧回路のMOSFETは、PチャネルMOSFETであり、その基板ゲートは上記ブートストラップ容量側に接続されてなることを特徴とするスイッチング電源。

[6] 請求項4において、
上記外部電源端子から供給される外部電源を昇圧する他の昇圧回路を更に備え、
上記レベルシフト回路は、上記他の昇圧回路で形成された上記外部電源の昇圧電圧を受けて上記MOSFETをオン状態にさせるものであることを特徴とするスイッチング電源。

[7] 請求項3において、
上記レベルシフト回路は、上記ブートストラップ容量で形成された昇圧電圧を受けて上記MOSFETをオフ状態にさせるものであることを特徴とするスイッチング電源。

[8] 請求項7において、
上記PWM制御回路は、上記出力電圧に対応した電圧信号と基準電圧とを受けるエラーアンプと、三角波発生回路と、上記エラーエンプの出力信号と上記三角波発生回路で形成された三角波とを受けるコンパレータと、上記コンパレータの出力信号を受けてPWM信号を形成する制御回路とを含むものであることを特徴とするスイッチング電源。

[9] 請求項8において、
上記スイッチ素子、上記素子、上記ブートストラップ容量、上記インダクタ、上記キャパシタは、外部素子によりそれぞれ構成され、
上記MOSFET、上記レベルシフト回路及び上記PWM制御回路は、1つの半導

体集積回路により構成され、上記出力電圧に対応した電圧信号を上記PWM制御回路のエラーアンプが受けて、上記出力電圧が所定電圧となるようにPWM信号を形成するものであることを特徴とするスイッチング電源。

[10] 請求項8において、

上記ブートストラップ容量、上記インダクタ、上記キャパシタは、外部素子によりそれぞれ構成され、

上記スイッチ素子、上記素子、MOSFET、上記レベルシフト回路及び上記PWM制御回路は、1つの半導体集積回路により構成され、上記出力電圧に対応した電圧信号を上記PWM制御回路のエラーアンプが受けて、上記出力電圧が所定電圧となるようにPWM信号を形成するものであることを特徴とするスイッチング電源。

[11] 請求項8において、

上記ブートストラップ容量、上記インダクタ、上記キャパシタは、外部素子によりそれぞれ構成され、

上記スイッチ素子、上記素子、上記MOSFET及び上記レベルシフト回路は、第1の半導体集積回路により構成され、

上記制御回路は、第2の半導体集積回路装置により構成されて、上記出力電圧に対応した電圧信号を上記PWM制御回路のエラーアンプが受けて、上記出力電圧が所定電圧となるようにPWM信号を形成し、かかるPWM信号を上記第1の半導体集積回路に伝えるものであることを特徴とするスイッチング電源。

[12] 請求項1において、

上記入力電圧に対応した高電圧を受けて、それを降圧した内部電圧を形成する電源回路を更に備え、

上記ブートストラップ容量、上記インダクタ、上記キャパシタは、外部素子によりそれぞれ構成され、

上記スイッチ素子、上記素子、上記MOSFET及び上記レベルシフト回路は、第1の半導体集積回路により構成され、

上記PWM制御回路は、第2の半導体集積回路装置により構成され、上記出力電圧に対応した電圧信号を上記PWM制御回路が受けて、上記出力電圧が所定電圧

となるように上記高電圧に対応したPWM信号を形成し、かかるPWM信号を上記第1の半導体集積回路の入力に伝えるものであり、

上記第1の半導体集積回路においては、上記PWM信号を上記内部電圧にレベルシフトする電圧クランプ回路を備えてなることを特徴とするスイッチング電源。

[13] 請求項11において、

上記電圧クランプ回路は、

上記PWM信号が供給される入力端子と、

上記入力端子にソース、ドレイン経路の一方が接続され、ゲートに内部電圧が与えられたNチャネルMOSFETと、

上記NチャネルMOSFETのソース、ドレイン経路の他方と回路の接地電位との間に設けられた電流源と、

上記電流源と並列形態に設けられたキャパシタとからなることを特徴とするスイッチング電源。

[14] 請求項12において、

上記第1の半導体集積回路は、スイッチ素子を構成する第3の半導体集積回路、上記素子を構成する第4の半導体集積回路、上記MOSFET及び上記レベルシフト回路を構成する第5の半導体集積回路からなることを特徴とするスイッチング電源。

[15] 入力電圧を降圧して出力電圧を形成するための電流を制御するスイッチ素子の上記電流を流す為の第1端子と、

上記第1端子に一端が接続されたブートストラップ容量の他端が接続される第2端子と、

外部電源端子と上記第2端子との間にソース、ドレイン経路が接続されたMOSFETと、

上記第スイッチ素子を駆動する駆動回路とを含み、

上記ブートストラップ容量と上記MOSFETとは上記上記スイッチ素子を駆動するための昇圧電圧を生成する昇圧回路を構成し、

上記MOSFETはオフ状態にされるときに一方のソース、ドレイン領域と基板ゲート間の接合ダイオードが上記ブートストラップ容量により形成された上記昇圧電圧に対

して逆方向になるように他方のソース、ドレイン領域と上記基板ゲートとが接続されてなることを特徴とする半導体集積回路。

[16] 請求項15において、

上記ブーストstrap容量は、上記半導体集積回路の外部にあることを特徴とする半導体集積回路。

[17] 請求項16において、

上記電流は、インダクタと上記インダクタに直列形態に設けられたキャパシタにより上記出力電圧を形成するために上記入力電圧から上記インダクタに流す電流であることを特徴とする半導体集積回路

[18] 請求項17において、

上記スイッチ素子は、NチャネルのMOSFETであり、
上記昇圧回路のMOSFETは、PチャネルMOSFETであり、その基板ゲートは上記ブーストstrap容量側に接続されてなることを特徴とする半導体集積回路。

[19] 請求項17において、

上記スイッチ素子と昇圧回路のMOSFETは、NチャネルのMOSFETであり、
上記昇圧回路のMOSFETの基板ゲートは上記端子側に接続されてなることを特徴とする半導体集積回路。

[20] 請求項17において、

上記スイッチ素子がオフ状態のときに上記インダクタの上記出力電圧を形成している端

子とは別の他方の端子を所定電位にクランプする素子を更に備え、

上記素子は第1の半導体基板の上に形成され、

上記スイッチ素子は、第2の半導体基板の上に形成され、

上記駆動回路は、出力電圧が所定電圧となるような制御信号を受けて、上記スイッチ素子と上記素子のオン、オフの制御を行うものであって第3の半導体基板上に形成され、

上記第1の半導体基板と上記第2の半導体基板及び上記第3の半導体基板を一つのパッケージに封止したことを特徴とする半導体集積回路。

[21] 請求項20において、
上記制御信号は、PWM信号であることを特徴とする半導体集積回路。

[22] 請求項21において、
上記駆動回路は、上記素子がオン状態のときにMOSFETをオン状態にさせ、上記素子がオフ状態のときにMOSFETをオフ状態にさせるスイッチ制御信号を形成するレベルシフト回路を含むことを特徴とする半導体集積回路。

[23] 請求項22において、
上記PWM信号は、上記出力電圧に対応した電圧信号と基準電圧とを受けるエラーアンプと、三角波発生回路と、上記エラーエンプの出力信号と上記三角波発生回路で形成された三角波とを受けるコンパレータと、上記コンパレータの出力信号を受ける制御回路により生成されるものであることを特徴とする半導体集積回路。

[24] 請求項23において、
上記入力電圧に対応した高電圧を受けて、それを降圧した内部電圧を形成する電源回路と、
上記PWM信号を上記内部電圧にレベルシフトする電圧クランプ回路が上記半導体集積回路に形成されてなることを特徴とする半導体集積回路。

[25] 請求項24において、
上記電圧クランプ回路は、
上記PWM信号が供給される入力端子と、
上記入力端子にソース、ドレイン経路の一方が接続され、ゲートに内部電圧が与えられたNチャネルMOSFETと、
上記NチャネルMOSFETのソース、ドレイン経路の他方と回路の接地電位との間に設けられた電流源と、
上記電流源と並列形態に設けられたキャパシタとからなることを特徴とする半導体集積回路。

[26] 請求項20において、
上記駆動回路は、
第1の振幅で動作する第1の回路と、

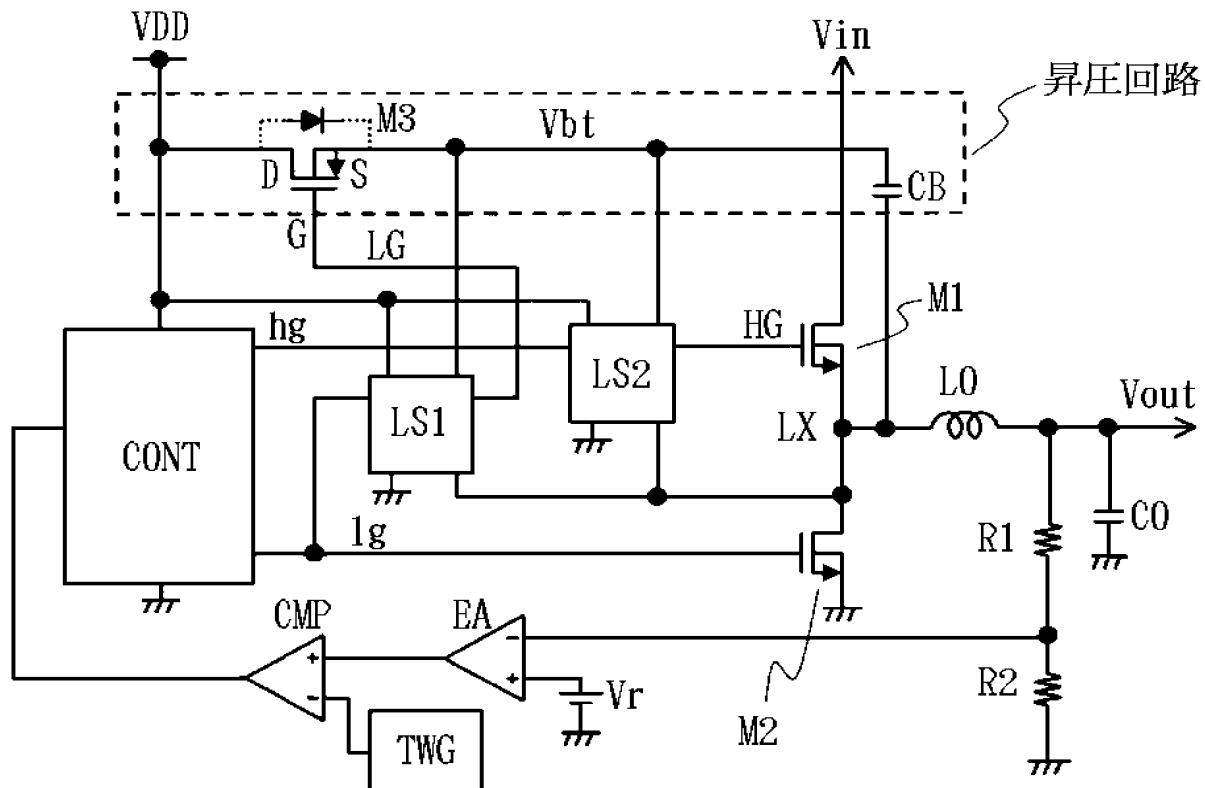
第1の回路から出力された信号をゲートに受けるMOSFETと、上記MOSFETと上記ブーストランプ容量の他端との間に上記MOSFETと直列形態に接続された抵抗とからなる第2の回路と、

上記第2の回路の上記MOSFETと上記抵抗が接続されたノードから出力された信号を受け、上記ブーストランプ容量の他端での電圧を電源とする第3の回路とかなるレベルシフト回路を有し、

上記第1の回路の出力のハイレベルやロウレベルにともなって、上記MOSFETのオン、オフを切り替えることにより電圧レベルが変化する上記ノードから出力される信号を上記第3の回路の論理しきい値に従って弁別して上記第1のスイッチ素子のオン、オ

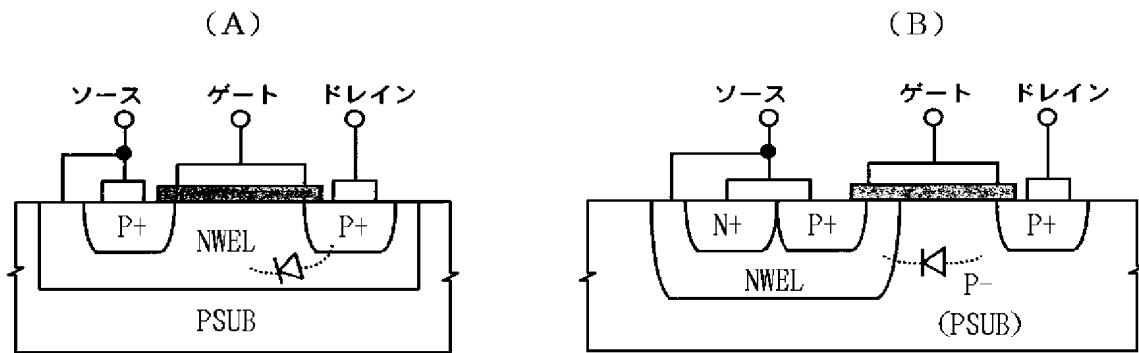
フを制御する為のレベルシフトされた制御信号を生成することを特徴とする半導体集積回路。

[図1]

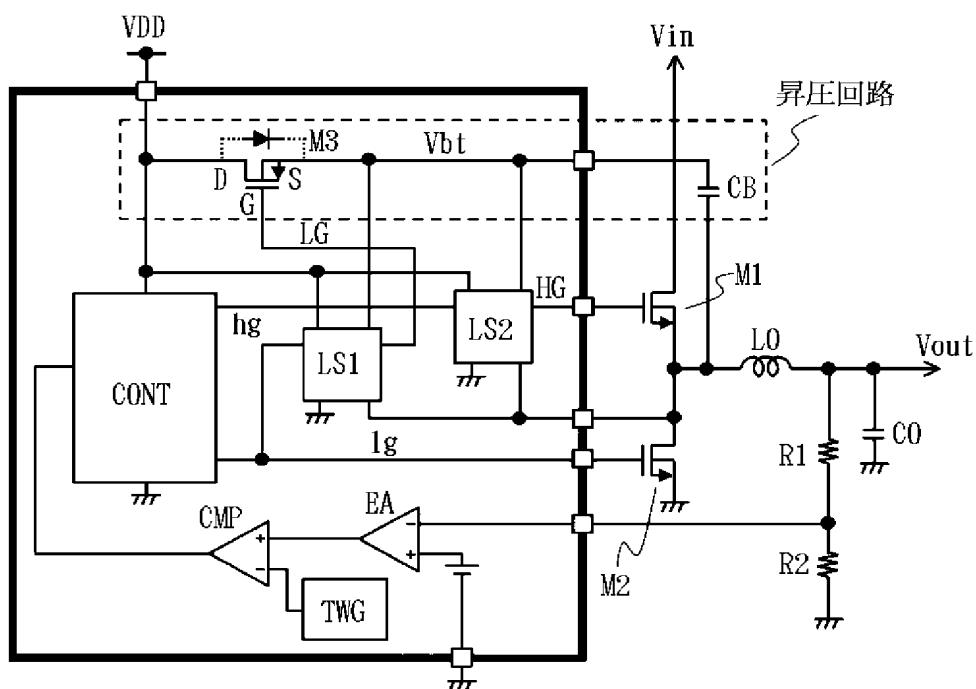


[図2]

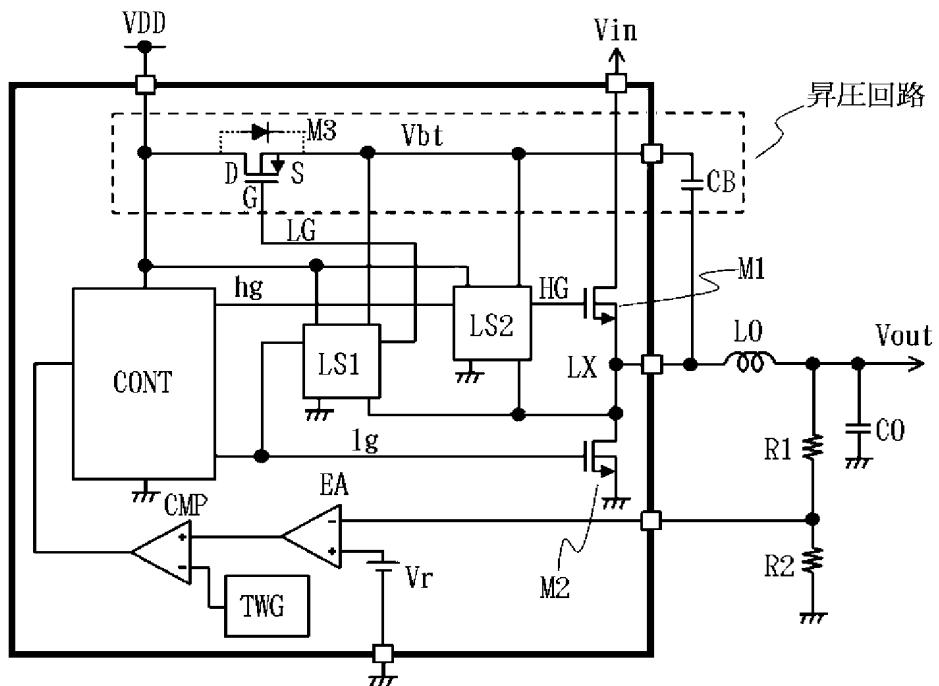
[図3]



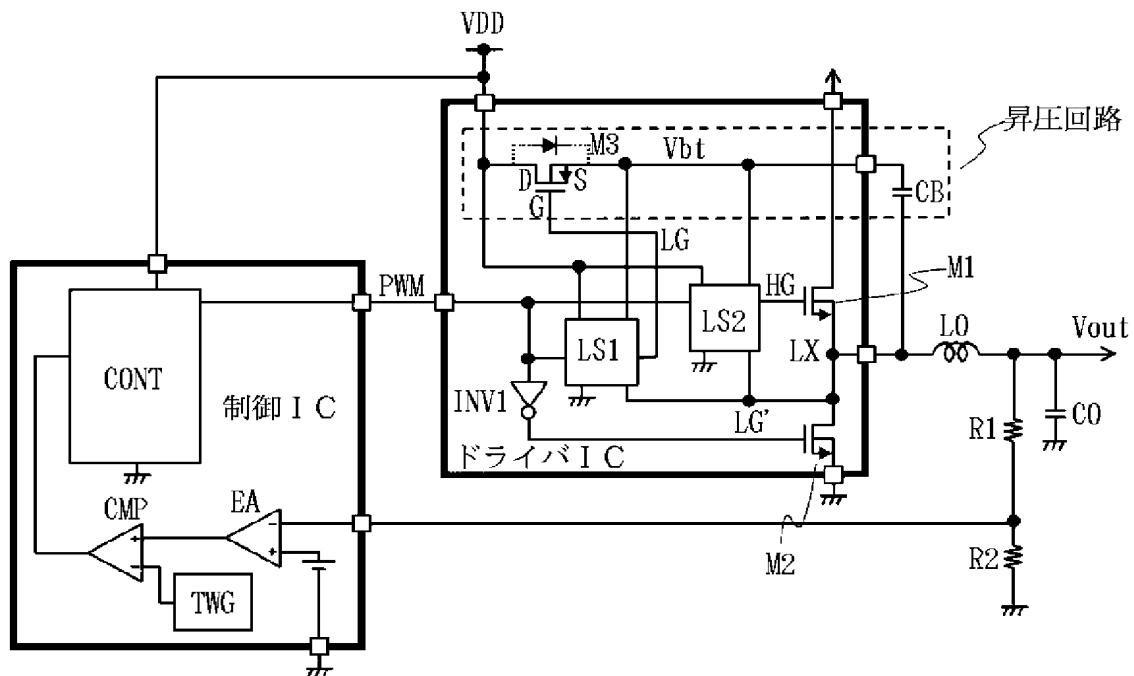
[圖4]



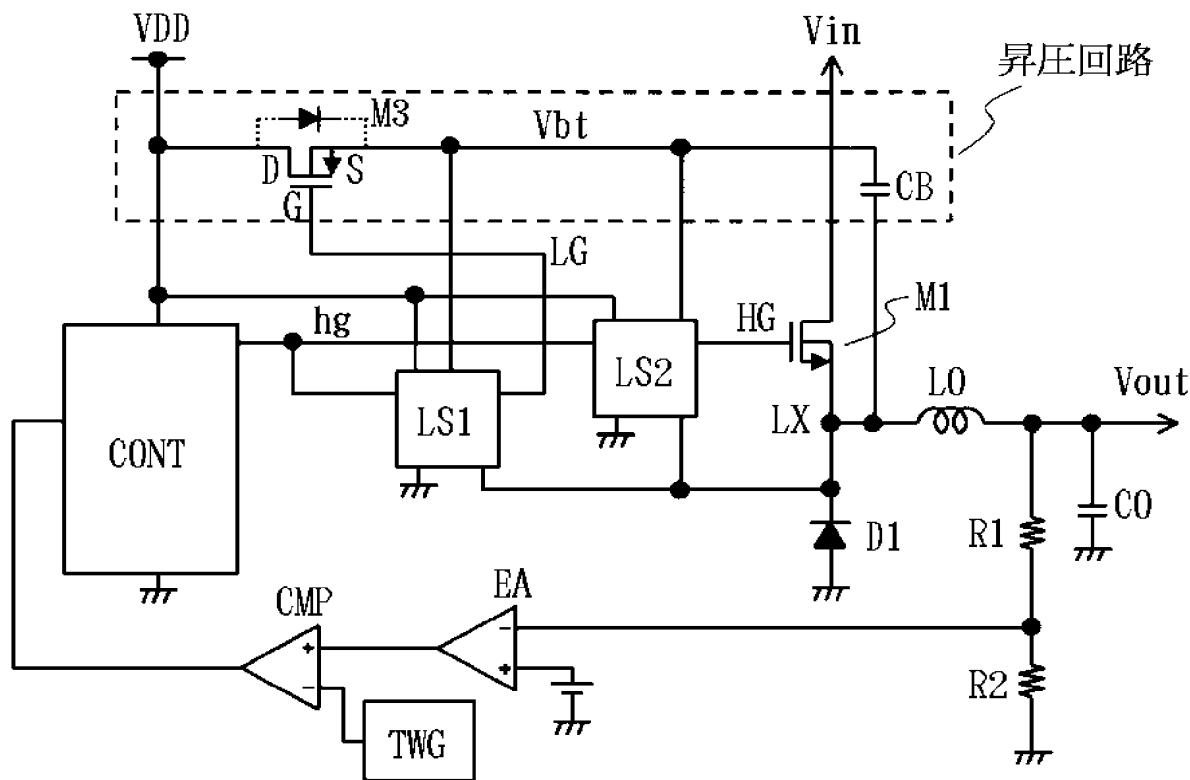
[図5]



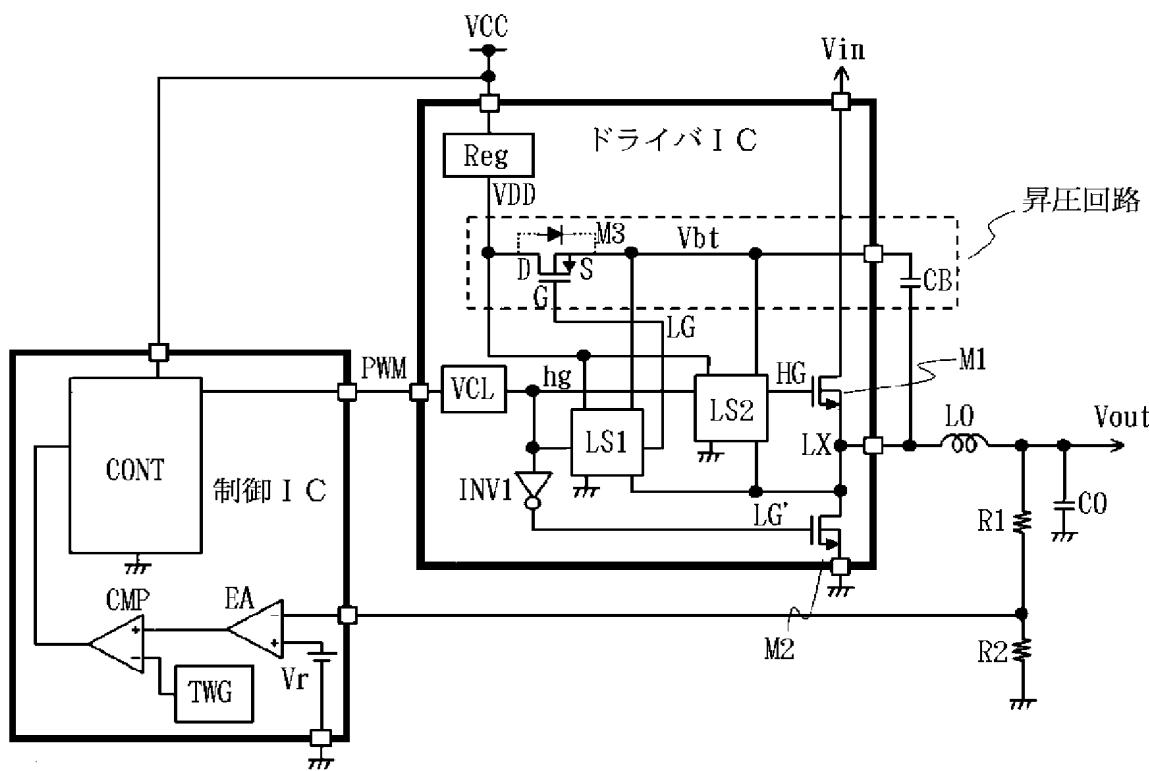
[図6]



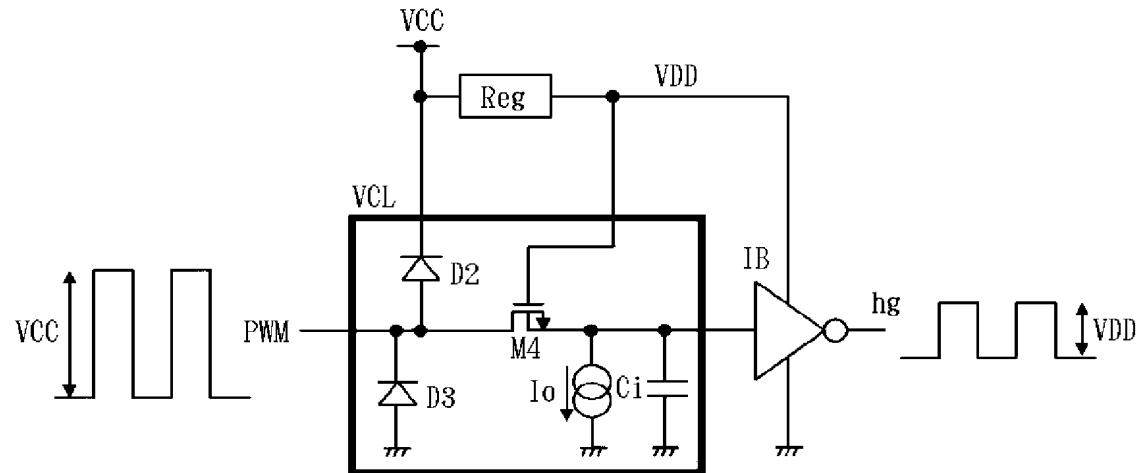
[図7]



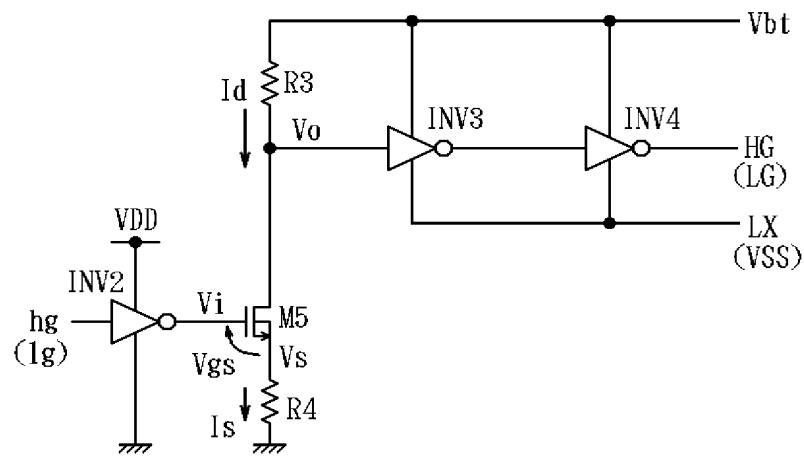
[図8]



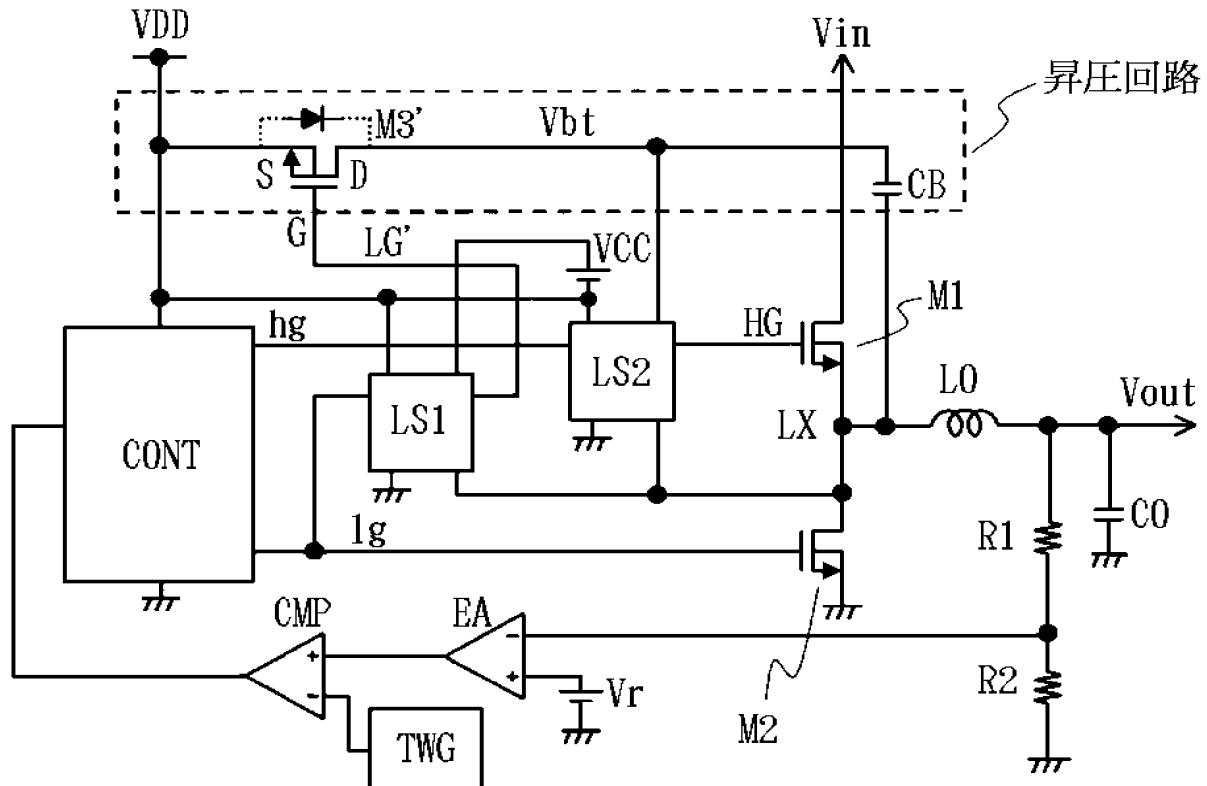
[図9]



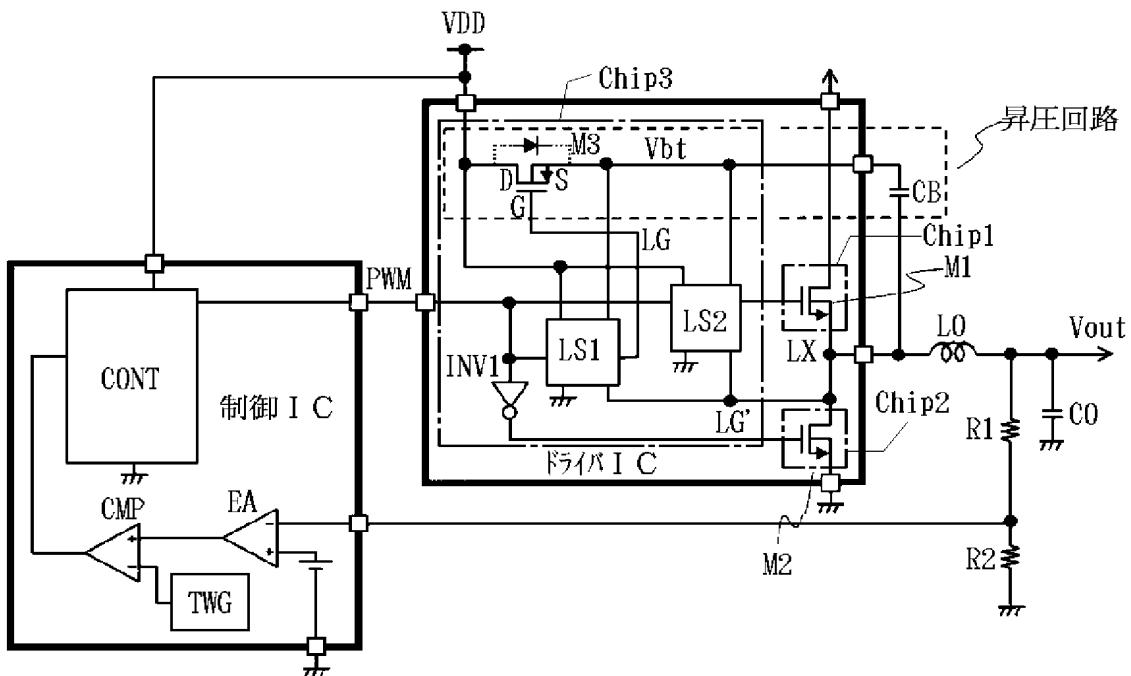
[図10]



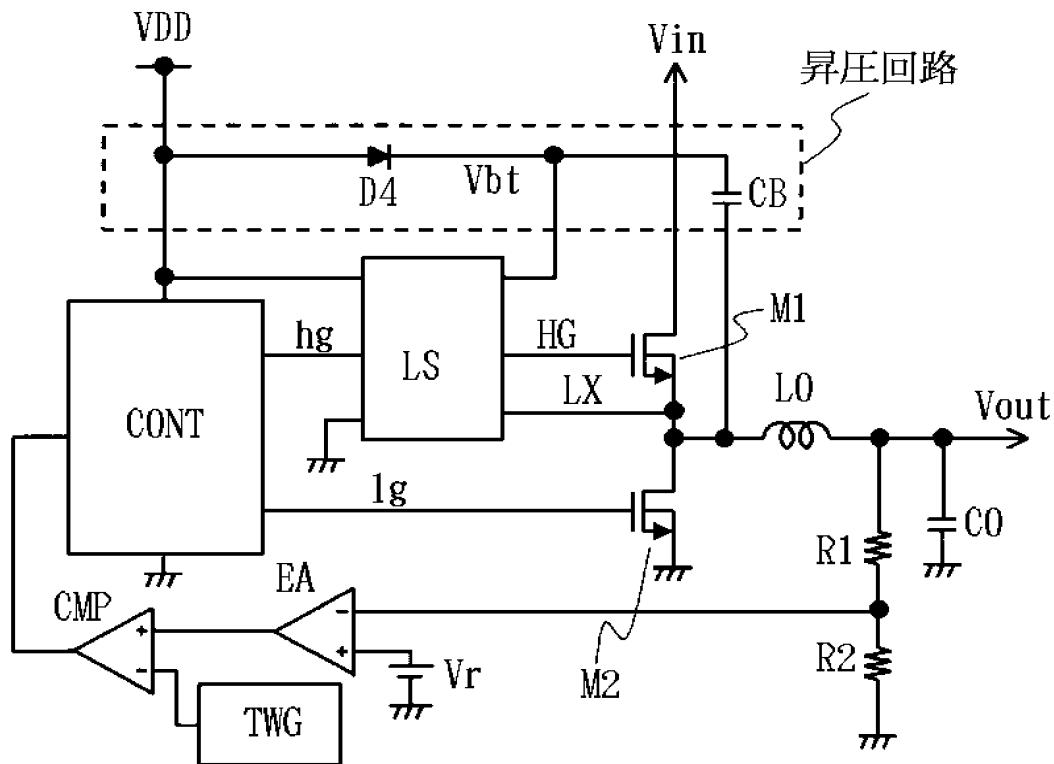
[図11]



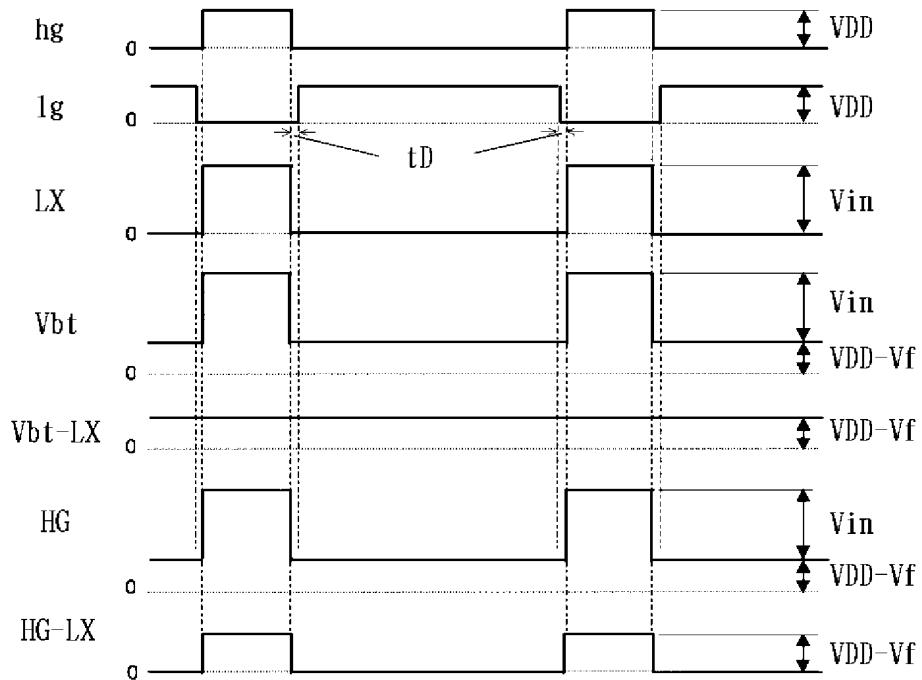
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000329

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/155, H01L21/822, 21/8234, 27/04, 27/088, H03K17/687

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00-3/44, H01L21/82-27/08, H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-315311 A (Rohm Co., Ltd.), 25 October, 2002 (25.10.02), Par. Nos. [0003] to [0004]; Fig. 3 (Family: none)	1-26
Y	JP 2003-520556 A (Infineon Technologies AG.), 02 July, 2003 (02.07.03), Par. Nos. [0002] to [0031]; Figs. 1, 2 & WO 01/52396 A2 & EP 1247327 A & US 2003/0001548 A1 & DE 10001394 A & TW 508898 B	1-26

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 April, 2005 (05.04.05)

Date of mailing of the international search report
10 May, 2005 (10.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000329

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-501500 A (Philips Electronics N.V.) , 02 February, 1999 (02.02.99) , Full text; Figs. 1 to 3 & JP 7-508873 A & JP 9-503116 A & US 5666280 A & US 5373435 A & US 5502632 A & EP 0812488 A & EP 0649579 A & EP 0719475 A & WO 97/24794 A2 & WO 94/27370 A1 & WO 96/02976 A1 & DE 69605023 T & CN 1181848 A & ES 2122266 T & CN 1109699 A & SG 44754 A & CA 2139229 A & ES 2132681 T & CA 2171765 A & CN 1134204 A	9-14, 16-26
Y	JP 6-21733 A (NEC IC Micronsystem Kabushiki Kaisha) , 28 January, 1994 (28.01.94) , Par. Nos. [0002] to [0004] ; Figs. 4 to 6 (Family: none)	13, 14, 25
A	JP 7-222439 A (Fuji Electric Co., Ltd.) , 18 August, 1995 (18.08.95) , Par. Nos. [0003] to [0012] ; Fig. 3 (Family: none)	1-26
A	JP 2003-235251 A (Rohm Co., Ltd.) , 22 August, 2003 (22.08.03) , Full text; Figs. 1 to 3 (Family: none)	1-26

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷

H02M 3/155

H01L 21/822, 21/8234, 27/04, 27/088

H03K 17/687,

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷

H02M 3/00- 3/44

H01L 21/82-27/08

H03K 17/00-17/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2005年

日本国実用新案登録公報 1996-2005年

日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2002-315311 A (ローム株式会社) 25. 10. 2002, 【0003】-【0004】、図3 (ファミリーなし)	1-26

□ C欄の続きにも文献が列挙されている。

□ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 05.04.2005	国際調査報告の発送日 10.5.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 桜田 正紀 電話番号 03-3581-1101 内線 3356	3V 2917

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	<p>JP 2003-520556 A (インフォネオン テクノロジーズ アクチエングゼルシャフト) 02. 07. 2003, 【0020】-【0031】 , 図1, 2 & WO 01/52396 A2 & EP 1247327 A & US 2003/0001548 A1 & DE 10001394 A & TW 508898 B</p>	1-26
Y	<p>JP 11-501500 A (フィリップス エレクトロニクス ネムローゼ フェンノートシャッフ) 02. 02. 1999, 全文, 図1-3 & JP 7-508873 A & JP 9-503116 A & US 5666280 A & US 5373435 A & US 5502632 A & EP 0812488 A & EP 0649579 A & EP 0719475 A & WO 97/24794 A2 & WO 94/27370 A1 & WO 96/02976 A1 & DE 69605023 T & CN 1181848 A & ES 2122266 T & CN 1109699 A & SG 44754 A & CA 2139229 A & ES 2132681 T & CA 2171765 A & CN 1134204 A</p>	9-14, 16-26
Y	<p>JP 6-21733 A (日本電気アイシーマイコンシステム株式会社) 28. 01. 1994, 【0002】-【0004】 , 図4-図6 (ファミリーなし)</p>	13, 14, 25
A	<p>JP 7-222439 A (富士電機株式会社) 18. 08. 1995, 【0003】-【0012】 , 図3 (ファミリーなし)</p>	1-26
A	<p>JP 2003-235251 A (ローム株式会社) 22. 08. 2003, 全文, 図1-3 (ファミリーなし)</p>	1-26